

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP2005/018396

International filing date: 28 September 2005 (28.09.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2004-289182  
Filing date: 30 September 2004 (30.09.2004)

Date of receipt at the International Bureau: 03 November 2005 (03.11.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 4 年 9 月 3 0 日

出 願 番 号  
Application Number: 特 願 2 0 0 4 - 2 8 9 1 8 2

パリ条約による外国への出願  
に用いる優先権の主張の基礎  
となる出願の国コードと出願  
番号  
J P 2 0 0 4 - 2 8 9 1 8 2  
The country code and number  
of your priority application,  
to be used for filing abroad  
under the Paris Convention, is

出 願 人  
Applicant(s): 株式会社リコー

2 0 0 5 年 1 0 月 1 9 日

特許庁長官  
Commissioner,  
Japan Patent Office

中 嶋



【書類名】	特許願
【整理番号】	0403090
【提出日】	平成16年 9月30日
【あて先】	特許庁長官殿
【国際特許分類】	H01L 27/04 H01L 21/318
【発明者】	
【住所又は居所】	東京都大田区中馬込1丁目3番6号 株式会社リコー内
【氏名】	大仁 正則
【特許出願人】	
【識別番号】	000006747
【氏名又は名称】	株式会社リコー
【代理人】	
【識別番号】	100085464
【弁理士】	
【氏名又は名称】	野口 繁雄
【手数料の表示】	
【予納台帳番号】	037017
【納付金額】	16,000円
【提出物件の目録】	
【物件名】	特許請求の範囲 1
【物件名】	明細書 1
【物件名】	図面 1
【物件名】	要約書 1
【包括委任状番号】	9808801

【書類名】 特許請求の範囲

【請求項 1】

半導体基板上に絶縁膜を介して形成された多結晶シリコンパターンと、多結晶シリコンパターン上を含んで半導体基板上に形成された層間絶縁膜と、その層間絶縁膜上に形成された金属配線層を備えた半導体装置において、

前記金属配線層の下面、上面及び側面を覆うシリコン窒化膜を備えていることを特徴とする半導体装置。

【請求項 2】

前記シリコン窒化膜は前記層間絶縁膜表面に形成され、前記金属配線層の下面に接している第 1 窒化膜と、前記金属配線層の側面及び上面を覆う第 2 窒化膜により構成されている請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 窒化膜と前記第 2 窒化膜の膜厚が異なっている請求項 2 に記載の半導体装置。

【請求項 4】

前記金属配線層下の前記第 1 窒化膜を除いて前記金属配線層の周囲の前記第 1 窒化膜及び前記第 2 窒化膜が除去されている領域を備えている請求項 1、2 又は 3 に記載の半導体装置。

【請求項 5】

前記多結晶シリコンパターンをゲート電極とする P M O S トランジスタを備え、前記 P M O S トランジスタ上には前記金属配線層、前記第 1 窒化膜及び前記第 2 窒化膜が形成されていない請求項 1 から 4 のいずれかに記載の半導体装置。

【請求項 6】

前記多結晶シリコンパターンと前記層間絶縁膜の間に、前記多結晶シリコンパターン側から順に酸化膜、第 3 窒化膜からなる積層膜をさらに備えている請求項 1 から 5 のいずれかに記載の半導体装置。

【請求項 7】

前記多結晶シリコンパターンをゲート電極とする P M O S トランジスタを備え、前記 P M O S トランジスタ上には前記第 3 窒化膜が形成されていない請求項 6 に記載の半導体装置。

【請求項 8】

2 個以上の抵抗素子による分割によって電圧出力を得、ヒューズ素子の切断によって電圧出力を調整できる分割抵抗回路を備えた半導体装置において、

前記抵抗素子は、請求項 1 から 4 又は 6 のいずれかに記載の多結晶シリコンパターンにより構成されていることを特徴とする半導体装置。

【請求項 9】

入力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、前記分割抵抗回路からの分割電圧と前記基準電圧発生回路からの基準電圧を比較するための比較回路をもつ電圧検出回路を備えた半導体装置において、

前記分割抵抗回路として請求項 8 に記載の分割抵抗回路を備えていることを特徴とする半導体装置。

【請求項 10】

入力電圧の出力を制御する出力ドライバと、出力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、前記分割抵抗回路からの分割電圧と前記基準電圧発生回路からの基準電圧を比較し、比較結果に応じて前記出力ドライバの動作を制御するための比較回路をもつ定電圧発生回路を備えた半導体装置において、

前記分割抵抗回路として請求項 8 に記載の分割抵抗回路を備えていることを特徴とする半導体装置。

【請求項 11】

半導体基板上に絶縁膜を介して多結晶シリコンパターンを形成する工程と、

前記多結晶シリコンパターン上を含んで前記半導体基板上に層間絶縁膜を形成する工程と、

前記層間絶縁膜上に第 1 窒化膜を形成する工程と、

前記第 1 窒化膜上に金属配線層を形成する工程と、

前記金属配線層上を含んで前記第 1 窒化膜上に第 2 窒化膜を形成する工程を含む半導体装置の製造方法。

【請求項 1 2】

前記第 2 窒化膜の形成後に、所定の領域の前記第 2 窒化膜及び前記第 1 窒化膜を選択的に除去する工程を含む請求項 1 1 に記載の製造方法。

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【技術分野】

【0001】

本発明は、半導体装置に関し、特に、抵抗体やゲート電極として用いられる多結晶シリコンパターンを備えた半導体装置及びその製造方法に関するものである。

【背景技術】

【0002】

アナログIC (Integrated Circuit) に要求される特性は近年ますます高まっており、さらなる高精度化もその一つである。アナログICの高精度化に求められる要素はしきい値や抵抗値などの安定性や制御性である。中でも経時変化をも含めたトランジスタ特性や抵抗値の安定化が高精度化には重要な要素となる。

【0003】

半導体装置の微細化に伴って多層配線構造が用いられている。多層配線構造において配線層に起因する段差を緩和するために用いられる層間膜やSOG (Spin On Glass) 膜に関し、それらの膜自体や成膜時に多くの水素や水分が存在する。これらが工程中の熱処理などによって下層に配置されている多結晶シリコンパターンからなる抵抗体やトランジスタのゲート電極に達すると、抵抗体の抵抗変動やトランジスタのしきい値変動の原因となり、IC精度向上の大きな阻害要因となる。

【0004】

水素や水分は、多結晶シリコンパターンで構成された抵抗体やゲート電極に対して大きな影響を与えるが、そのメカニズムは多結晶シリコングレインバウンダリーに水素がトラップされることで障壁が変動し、キャリア濃度が増減するところにある。水素や水分の影響は多結晶シリコンに導入された不純物濃度に依存しているため、目的とする抵抗値によって影響度合いがかなり異なる。

また製造工程中の影響に関しては、例えば水素を遮断する機能をもつ金属配線層の下に配置されている抵抗体とそうでない抵抗体において到達する水素の量が変わるというように、金属配線層の配置に依存して影響を受ける。

【0005】

具体例として、多結晶シリコンパターンからなるゲート電極を用いた複数のMOS (Metal oxide Semiconductor) トランジスタについてソース、ドレイン、チャネル濃度を同一にし、異なる不純物濃度、異なる導電型の複数種類のゲート電極を形成してそれらのゲート電極の仕事関数差を利用した電圧発生回路が特許文献1に開示されている。

特許文献1は高温でも安定動作するMOSトランジスタを用いた回路に関するものであるが、その回路で使用されるMOSトランジスタでは多結晶シリコンからなるゲート電極の抵抗値の変動がトランジスタのしきい値変動として現れる。さらにその回路には多結晶シリコンパターンからなる抵抗体も搭載されており、抵抗体の不純物濃度はゲート電極とは異なっているため、製造途中の水素の影響がそれぞれ異なり、受ける影響の度合いが異なる。

【0006】

多結晶シリコンパターンからなるゲート電極中のエネルギーバンドについては非特許文献1に開示されたものがある。非特許文献1ではMOS構造のゲート電極中の不純物濃度 (キャリア濃度) と基板との仕事関数について述べられている。

ゲート電極中の濃度上昇と共に仕事関数は増加するが、不純物濃度が  $5 \times 10^{19} / \text{cm}^{-3}$  のときに仕事関数は最大となり、この値より不純物濃度が大きくなるにつれて仕事関数は減少する。多結晶シリコン中の不純物濃度が  $5 \times 10^{19} / \text{cm}^{-3}$  よりも小さい、抵抗値が高い状態では、グレインバウンダリーに水素がトラップされやすく、抵抗値の変動が大きい。

【0007】

多結晶シリコンパターンを抵抗体として使用した場合も同様に抵抗変動となる。

多結晶シリコンパターンにおいて水素の影響を受けやすい状態の不純物濃度を使用する場合、そのプロセス中の影響を受けにくくするため、抵抗体上にプラズマ窒化膜と金属配線層を配置し、重なり面積を同じくしたものがある（例えば、特許文献2を参照。）。

また、抵抗体上の領域を金属配線層で覆うことによってその上に形成されたプラズマ窒化膜からの水素の影響を遮断する方法が開示されている（例えば、特許文献3を参照。）。

しかしいずれの場合も、抵抗体上の領域に金属配線層を自由に配置することができず、抵抗体上の領域は配線領域として自由な利用ができないという問題があった。

また、一つの半導体装置に多結晶シリコンパターンの不純物濃度が互いに異なる複数種類の抵抗体を用いた場合も同様に、水素から受ける影響度の合いが異なるという問題があった。

#### 【0008】

【特許文献1】特開2001-284464号公報

【特許文献2】特開平6-112410号公報

【特許文献3】特許第3195828号公報

【特許文献4】特開2003-152100号公報

【非特許文献1】Dependence of the Work-Function Difference Between the Polysilicon Gate and Silicon Substrate on the Doping Level in Polysilicon (IEEE 1985)

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0009】

上述のように、抵抗体やMOSトランジスタのゲート電極を構成する多結晶シリコンパターンにおいて、上部の金属配線の有無によってプロセス中や径時変化での水素や水分の影響が変化するため、抵抗値やMOSトランジスタのしきい値が変化するという問題があった。このような不具合を避けるために、従来技術では多結晶シリコンパターンの上層に金属配線層を配置しなかったり、多結晶シリコンパターンの上層に配置された金属配線との重なり量を合わせたりするなど、多結晶シリコンパターンの上層を自由な配線領域として使用できず、デザインに制約があった。

本発明は、多結晶シリコンパターンの抵抗値を制御しつつ、多結晶シリコンパターンの上層に金属配線層を配置できる半導体装置及びその製造方法を提供することを目的とするものである。

#### 【課題を解決するための手段】

#### 【0010】

本発明にかかる半導体装置は、半導体基板上に絶縁膜を介して形成された多結晶シリコンパターンと、多結晶シリコンパターン上を含んで半導体基板上に形成された層間絶縁膜と、その配線層間絶縁膜上に形成された金属配線層を備えた半導体装置であって、上記金属配線層の下面、上面及び側面を覆うシリコン窒化膜を備えているものである。これにより、上層に金属配線層があるかないかにかかわらず、多結晶シリコンパターンの抵抗値を同じにすることができる。

#### 【0011】

本発明の半導体装置において、上記シリコン窒化膜は上記層間絶縁膜表面に形成され、上記金属配線層の下面に接している第1窒化膜と、上記金属配線層の側面及び上面を覆う第2窒化膜により構成されている例を挙げることができる。

さらに、上記第1窒化膜と上記第2窒化膜の膜厚が異なっているようにしてもよい。ただし、上記第1窒化膜と上記第2窒化膜の膜厚は同じでもよい。

#### 【0012】

また、上記金属配線層下の上記第1窒化膜を除いて上記金属配線層の周囲の上記第1窒化膜及び上記第2窒化膜が除去されている領域を備えているようにしてもよい。

また、上記多結晶シリコンパターンをゲート電極とするPMOSトランジスタを備え、

上記PMOSトランジスタ上には上記金属配線層、上記第1窒化膜及び上記第2窒化膜が形成されていないようにしてもよい。

#### 【0013】

また、上記多結晶シリコンパターンと上記層間絶縁膜の間に、上記多結晶シリコンパターン側から順に酸化膜、第3窒化膜からなる積層膜をさらに備えているようにしてもよい。

さらに、上記多結晶シリコンパターンをゲート電極とするPMOSトランジスタを備え、上記PMOSトランジスタ上には上記第3窒化膜が形成されていないようにしてもよい。

#### 【0014】

本発明が適用される半導体装置の一例は、2個以上の抵抗素子による分割によって電圧出力を得、ヒューズ素子の切断によって電圧出力を調整できる分割抵抗回路を備えた半導体装置であって、上記抵抗素子は、請求項1から4又は6のいずれかに記載の多結晶シリコンパターンにより構成されている。

#### 【0015】

本発明が適用される半導体装置の他の例は、入力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、上記分割抵抗回路からの分割電圧と上記基準電圧発生回路からの基準電圧を比較するための比較回路をもつ電圧検出回路を備えた半導体装置であって、上記分割抵抗回路として本発明を構成する多結晶シリコンパターンを備えた分割抵抗回路を備えている。

#### 【0016】

本発明が適用される半導体装置のさらに他の例は、入力電圧の出力を制御する出力ドライバと、出力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、上記分割抵抗回路からの分割電圧と上記基準電圧発生回路からの基準電圧を比較し、比較結果に応じて上記出力ドライバの動作を制御するための比較回路をもつ定電圧発生回路を備えた半導体装置であって、上記分割抵抗回路として本発明を構成する多結晶シリコンパターンを備えた分割抵抗回路を備えている。

#### 【0017】

本発明にかかる半導体装置の製造方法は、半導体基板上に絶縁膜を介して多結晶シリコンパターンを形成する工程と、上記多結晶シリコンパターン上を含んで上記半導体基板上に層間絶縁膜を形成する工程と、上記層間絶縁膜上に第1窒化膜を形成する工程と、上記第1窒化膜上に金属配線層を形成する工程と、上記金属配線層上を含んで上記第1窒化膜上に第2窒化膜を形成する工程を含む。

#### 【0018】

本発明の半導体装置の製造方法において、上記第2窒化膜の形成後に、所定の領域の上記第2窒化膜及び上記第1窒化膜を選択的に除去する工程を含むようにしてもよい。

#### 【発明の効果】

#### 【0019】

本発明の半導体装置では、多結晶シリコンパターン上の層間絶縁膜上に形成されている金属配線層がシリコン窒化膜で覆われているようにしたので、上層に金属配線層があるかないかにかかわらず、多結晶シリコンパターンの抵抗値を同じにすることができ、多結晶シリコンパターンの抵抗値を制御しつつ、多結晶シリコンパターンの上層に金属配線層を配置できる。

#### 【0020】

さらに、シリコン窒化膜は層間絶縁膜表面に形成され、金属配線層の下面に接している第1窒化膜と、金属配線層の側面及び上面を覆う第2窒化膜により構成されているようにすれば、第1窒化膜と第2窒化膜の膜厚を異ならせることができ、多結晶シリコンパターンの不純物濃度にあわせて第1窒化膜と第2窒化膜の膜厚の膜厚比を選択することができる。これにより、多結晶シリコンパターンの不純物濃度に関係なく、金属配線層の有無に影響されない多結晶シリコンパターンを形成することができる。



#### 【0021】

また、上記金属配線層下の上記第1窒化膜を除いて上記金属配線層の周囲の上記第1窒化膜及び上記第2窒化膜が除去されている領域を備えているようにすれば、このような領域に配置されている多結晶シリコンパターンと、第1窒化膜及び第2窒化膜が存在する領域に配置されている多結晶シリコンパターンについて、両多結晶シリコンパターンの不純物濃度が同じであっても、互いに抵抗値を異ならせることができる。さらに、PMOSトランジスタは、例えば金属配線層形成後に行なわれる水素雰囲気中でのメタルアロイ時にゲート酸化膜界面に存在するトラップ準位を安定化させないとしきい値電圧が不安定となり、バラツキが増加するという不具合があるが（例えば特許文献4を参照。）、上記第1窒化膜及び第2窒化膜が除去されている領域にPMOSトランジスタを配置することにより、上記多結晶シリコンパターンをゲート電極とするPMOSトランジスタのしきい値電圧制御性を低下させることはない。

#### 【0022】

また、上記多結晶シリコンパターンをゲート電極とするPMOSトランジスタを備え、上記PMOSトランジスタ上には上記金属配線層、上記第1窒化膜及び上記第2窒化膜が形成されていないようにすれば、トラップ準位を安定させることができ、PMOSトランジスタのしきい値電圧制御性を低下させることはない。

#### 【0023】

また、上記多結晶シリコンパターンと上記層間絶縁膜の間に、上記多結晶シリコンパターン側から順に酸化膜、第3窒化膜からなる積層膜をさらに備えているようにすれば、第3窒化膜により多結晶シリコンパターンへの水素の拡散を防止することができ、多結晶シリコンパターンの抵抗値の安定性を向上させることができる。

#### 【0024】

さらに、上記第3窒化膜を備えている場合、上記多結晶シリコンパターンをゲート電極とするPMOSトランジスタ上には上記第3窒化膜が形成されていないようにすれば、トラップ準位を安定させることができ、PMOSトランジスタのしきい値電圧制御性を低下させることはない。

#### 【0025】

2個以上の抵抗素子による分割によって電圧出力を得、ヒューズ素子の切断によって電圧出力を調整できる分割抵抗回路を備えた半導体装置において、上記抵抗素子は、本発明を構成する多結晶シリコンパターンにより構成されているようにしたので、本発明の半導体装置では多結晶シリコンパターンの抵抗値を制御しつつ、多結晶シリコンパターンの上層に金属配線層を配置できるので、設計の自由度が向上する。

#### 【0026】

入力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、上記分割抵抗回路からの分割電圧と上記基準電圧発生回路からの基準電圧を比較するための比較回路をもつ電圧検出回路を備えた半導体装置において、上記分割抵抗回路として本発明を構成する多結晶シリコンパターンを備えた分割抵抗回路を備えているようにしたので、設計の自由度が向上する。

#### 【0027】

入力電圧の出力を制御する出力ドライバと、出力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、上記分割抵抗回路からの分割電圧と上記基準電圧発生回路からの基準電圧を比較し、比較結果に応じて上記出力ドライバの動作を制御するための比較回路をもつ定電圧発生回路を備えた半導体装置において、上記分割抵抗回路として本発明を構成する多結晶シリコンパターンを備えた分割抵抗回路を備えているようにしたので、設計の自由度が向上する。

#### 【0028】

本発明の半導体装置の製造方法では、半導体基板上に絶縁膜を介して多結晶シリコンパターンを形成する工程と、上記多結晶シリコンパターン上を含んで上記半導体基板上に層間絶縁膜を形成する工程と、上記層間絶縁膜上に第1窒化膜を形成する工程と、上記第1

窒化膜上に金属配線層を形成する工程と、上記金属配線層上を含んで上記第1窒化膜上に第2窒化膜を形成する工程を含むようにしたので、上層に金属配線層があるかないかにかかわらず多結晶シリコンパターンの抵抗値を同じにすることができ、多結晶シリコンパターンの抵抗値を制御しつつ、多結晶シリコンパターンの上層に金属配線層を配置できる。さらに、第1窒化膜と第2窒化膜の膜厚を異ならせることができ、多結晶シリコンパターンの不純物濃度にあわせて第1窒化膜と第2窒化膜の膜厚の膜厚比を選択することができる。これにより、多結晶シリコンパターンの不純物濃度に関係なく、金属配線層の有無に影響されない多結晶シリコンパターンを形成することができる。

#### 【0029】

本発明の半導体装置の製造方法において、上記第2窒化膜の形成後に、所定の領域の上記第2窒化膜及び上記第1窒化膜を選択的に除去する工程を含むようにすれば、第1窒化膜及び第2窒化膜を除去した領域に配置されている多結晶シリコンパターンと、第1窒化膜及び第2窒化膜が存在する領域に配置されている多結晶シリコンパターンについて、両多結晶シリコンパターンの不純物濃度が同じであっても、互いに抵抗値を異ならせることができる。さらに、第1窒化膜及び第2窒化膜を除去した領域にPMOSトランジスタを配置することにより、上記多結晶シリコンパターンをゲート電極とするPMOSトランジスタのしきい値電圧制御性を低下させることはない。

#### 【発明を実施するための最良の形態】

#### 【0030】

図1は半導体装置の一実施例を示す断面図である。

P型シリコン基板（半導体基板）1に、P型不純物が導入されたPウェル領域（PW）3、及びN型不純物が導入されたNウェル領域（NW）5が形成されている。Pウェル領域3及びNウェル領域5はシリコン基板1の表面に形成された厚い酸化膜からなる素子分離酸化膜7により分離されている。

#### 【0031】

Pウェル領域3上に、例えば膜厚が約15nm（ナノメートル）程度のゲート酸化膜9を介して、N型不純物が導入された多結晶シリコン膜からなるN+ゲート電極11が形成されている。Nウェル領域5上に、ゲート酸化膜9を介して、P型不純物が導入された多結晶シリコン膜からなるP+ゲート電極13が形成されている。N+ゲート電極11及びP+ゲート電極13の膜厚は例えば約400nm程度である。ゲート酸化膜9、N+ゲート電極11及びP+ゲート電極13の側壁にサイドウォール15が形成されている。

#### 【0032】

Pウェル領域3に、N+ゲート電極11を挟んで、NチャネルMOSトランジスタ（以下NMOSトランジスタという）のソース及びドレイン領域を構成するLDD（Lightly doped drain）構造のN型拡散層17が形成されている。Pウェル領域3において、ゲート酸化膜9、N+ゲート電極11、N型拡散層17はNMOSトランジスタを構成する。N+ゲート電極11下のPウェル領域3にはしきい値制御用のチャネルドープが施されている。

#### 【0033】

Nウェル領域5に、P+ゲート電極13を挟んで、PチャネルMOSトランジスタ（以下PMOSトランジスタという）のソース及びドレイン領域を構成するLDD構造のP型拡散層19が形成されている。Nウェル領域5において、ゲート酸化膜9、P+ゲート電極13、P型拡散層19はPMOSトランジスタを構成する。P+ゲート電極13下のNウェル領域5にはしきい値制御用のチャネルドープが施されている。

#### 【0034】

素子分離酸化膜7上に多結晶シリコンパターンからなる抵抗素子21が形成されている。抵抗素子21は、抵抗値を決定するために適当な濃度で例えばN型不純物が導入された多結晶シリコンからなる抵抗体23と、抵抗体23の両端側にそれぞれ形成され、例えばN型不純物が高濃度に導入された電氣的接続用の低抵抗多結晶シリコン膜25により構成されている。

#### 【0035】

NMOSトランジスタ上、PMOSトランジスタ上、素子分離酸化膜7抵抗素子21上を含んでシリコン基板1上全面に、例えば膜厚が300nm程度のNSG膜（不純物が含まれていない酸化膜）と膜厚が500nm程度のBPSG（Boro-Phospho Silicate Glass）膜からなる層間絶縁膜27が形成されている。層間絶縁膜27の表面は平坦化処理されている。ただし、層間絶縁膜27の表面は平坦化されていなくてもよい。図1ではNSG膜及びBPSG膜は一体化して示されている。また、層間絶縁膜27はNSG膜とBPSG膜の積層膜に限定されるものではなく、例えばNSG膜とPSG（Phospho Silicate Glass）膜の積層膜など、他の絶縁膜の単層膜や積層膜からなるものであってもよい。

#### 【0036】

層間絶縁膜27上に第1窒化膜29が例えば20nmの膜厚に形成されている。

N+ゲート電極11上、P+ゲート電極13上、N型拡散層17上、P型拡散層19上、及び低抵抗多結晶シリコン膜25上の所定の領域の層間絶縁膜27及び第1窒化膜29に、電氣的に接続するためのコンタクトホールが形成されている。図1ではコンタクトホールの一部は図示されていない。

#### 【0037】

第1窒化膜29上及びコンタクトホール内に第1金属配線層31が形成されている。第1金属配線層31は、例えば下層側から順に、Tiなどからなる膜厚が約40nm程度のバリアメタルと、膜厚が800から1000nmのAl又はAl合金の積層金属膜により形成されている。ただし、第1金属配線層31の材料はこれに限定されるものではなく、例えばAl、AlCu、AlSi、Cuなどと、Ti、TiN、TiW、Wなどの積層構造又は単層膜を用いることもできる。

#### 【0038】

層間絶縁膜27上及び第1金属配線層31上に第2窒化膜33が例えば60nmの膜厚に形成されている。この実施例では第1窒化膜29と第2窒化膜33の膜厚が異なっているが、同じであってもよい。

第2窒化膜33上にTEOS（tetra ethyl ortho silicate）膜及びその上に形成されたSOG膜からなるメタルーメタル間層間絶縁膜35が形成されている。第1金属配線層31上の層間絶縁膜35の所定の領域に、第1金属配線層31と第2金属配線層37を電氣的に接続するためのスルーホールが形成されている。図1ではスルーホールの一部は図示されていない。層間絶縁膜35はTEOS膜とSOG膜の積層膜に限定されるものではなく、例えば、SOG膜上にTEOS膜、NSG膜やBPSG膜などの絶縁膜をさらに備えているものなど、他の構成であってもよい。

#### 【0039】

層間絶縁膜35上及びスルーホール内に、例えば膜厚が1500nm程度であってAlSiCuからなる第2金属配線層37が形成されている。

層間絶縁膜35上及び第2金属配線層37上に、パッシベーション保護膜として、例えばプラズマ窒化膜39が約100nm程度の膜厚で形成されている。

#### 【0040】

図2は製造方法の一実施例を説明するための工程断面図である。図1及び図2を参照してこの実施例の製造方法を説明する。

（1）シリコン基板1に対して、NMOSトランジスタ形成領域にPウェル領域3を形成し、PMOSトランジスタ形成領域にNウェル領域5を形成した後、シリコン基板1の表面に、周知技術のLOCOS（local oxidation of silicon）法により、厚い酸化膜からなる素子分離酸化膜7を形成する。

#### 【0041】

Pウェル領域3及びNウェル領域5の表面にゲート酸化膜9を約15nm程度の膜厚で形成した後、ゲート電極及び抵抗素子となるノンドープ多結晶シリコン膜を例えば減圧CVD法によりシリコン基板1上全面に約400nm程度の膜厚に堆積し、ノンドープ多結晶シリコン膜をパターニングしてゲート電極パターン及び抵抗素子パターンを形成する。

写真製版技術及びイオン注入法により、N型拡散層17及びP型拡散層19の低濃度拡散層ならびに抵抗体23を形成する。酸化膜の堆積及びエッチバック処理によりサイドウォール15を形成する。写真製版技術及びイオン注入法により、N+ゲート電極11、P+ゲート電極13、N型拡散層17及びP型拡散層19の高濃度拡散層ならびに低抵抗多結晶シリコン膜25を形成する（図2（A）参照。）。

#### 【0042】

抵抗素子を構成する抵抗体23の形成領域に抵抗値制御用の不純物をイオン注入法により導入する。例えばN型不純物であるリンにより $10\text{ k}\Omega/\square$ に調整する場合、 $3.0 \times 10^{14} \sim 6.0 \times 10^{14} / \text{cm}^2$ 程度、 $2\text{ k}\Omega/\square$ に調整する場合、 $1.0 \times 10^{15} \sim 1.5 \times 10^{15} / \text{cm}^2$ 程度のイオン注入が必要である。

抵抗体23はP型不純物を導入した多結晶シリコン膜でも実現でき、その場合はP型不純物として例えばボロンを導入すればよい。抵抗体23の不純物濃度の制御は、N型拡散層17又はP型拡散層19の低濃度拡散層を形成するためのイオン注入と同時に進めてもよいし、専用のイオン注入により進めてもよい。また、多結晶シリコン膜をパターニングする前にイオン注入を進めて抵抗体23の不純物濃度の制御を進めてもよい。

#### 【0043】

（2）例えば常圧CVD法により、シリコン基板1上全面にNSG膜を300nm程度の膜厚に堆積し、さらにその上にBPSG膜を約500nm程度の膜厚に堆積して層間絶縁膜27を形成する。その後、 $800 \sim 900^\circ\text{C}$ の温度条件で加熱処理を施し、層間絶縁膜27を平坦化する。ここで、平坦性を向上させるために、層間絶縁膜27上にさらにSOG膜などを塗布するようにしてもよい（図2（B）参照。）。

#### 【0044】

（3）層間絶縁膜27上に第1窒化膜29を例えば20nmの膜厚に形成する。第1窒化膜29の形成方法として、例えば $\text{SiH}_2\text{Cl}_2$ 及び $\text{NH}_3$ を原料ガスとした約 $700^\circ\text{C}$ 程度の温度条件での減圧CVD法を挙げることができる。

写真製版技術及びエッチング技術により、第1窒化膜29及び層間絶縁膜27の所定の領域にコンタクトホールを形成する。このとき、ECR（Electron Cyclotron Resonance）エッチングで例えば $\text{CF}_4$ と $\text{CHF}_3$ のガスを用いることにより、特別な処理をしなくても第1窒化膜29及び層間絶縁膜27を一度に除去してコンタクトホールを形成できる。

第1窒化膜29上及びコンタクトホール内に、下層側から順に、膜厚が40nm程度のチタンなどのバリアメタル、膜厚800から1000nm程度のCuを含むアルミニウム合金をスパッタ法により堆積し、積層金属膜31aを形成する（図2（C）参照。）。

#### 【0045】

（4）写真製版技術及びエッチング技術により、積層金属膜31aをパターニングして第1金属配線層31を形成する（図2（D）参照。）。エッチングは、例えばECRエッチングで例えば $\text{BCl}_3$ と $\text{Cl}_2$ のガスを用いて進めた。このとき、エッチング条件次第では、第1金属配線層31下の第1窒化膜29のみを残すこともできるし、この実施例のように層間絶縁膜27上全面に第1窒化膜29を残すこともできる。

#### 【0046】

（5）第1窒化膜29上及び第1金属配線層31上に第2窒化膜33を例えば60nmの膜厚に形成する。第2窒化膜29の形成方法として、例えば $\text{SiH}_2\text{Cl}_2$ 及び $\text{NH}_3$ を原料ガスとした約 $700^\circ\text{C}$ 程度の温度条件での減圧CVD法を挙げることができる（図2（E）参照。）。この実施例によれば、第1金属配線層31下の窒化膜厚と、第1窒化膜29と第2窒化膜33が積層されている領域の窒化膜厚を異ならせることができる。

#### 【0047】

（6）第2窒化膜33上に、例えばプラズマCVD法によりTEOS膜を堆積し、SOG膜などで平坦化して層間絶縁膜35を形成する。第1金属配線層31上の層間絶縁膜35の所定の領域にスルーホールを形成する。その後、スパッタ法により $\text{AlSiCu}$ 膜を1500nm程度の膜厚に堆積し、写真製版技術及びエッチング技術により $\text{AlSiCu}$ 膜

をパターンニングして第2金属配線層37を形成する。

最後に、パッシベーション保護膜として、例えばプラズマCVD法により、100nm程度のプラズマ窒化膜39を形成する(図1参照)。

#### 【0048】

図3は、多結晶シリコンパターン上に金属配線層がある場合と無い場合において、第1窒化膜の膜厚を20nmとし、第2窒化膜厚を変化させたときの多結晶シリコンパターンの抵抗値の変化を表す図である。横軸は第2窒化膜厚(nm)を示し、縦軸は多結晶シリコンパターンの抵抗値( $\Omega/\square$ )を示す。

#### 【0049】

従来技術(第2窒化膜厚無し(0nm))では、金属配線層の有無により多結晶シリコンパターンの抵抗値は7000 $\Omega/\square$ (金属配線層無し)と16000 $\Omega/\square$ (金属配線層有り)と大きな差がある。これに対し、第二窒化膜層が20nm以上で抵抗値はほぼ同じ値となる。

この結果から、多結晶シリコンー金属配線層間絶縁膜上に形成されている金属配線層がシリコン窒化膜で覆われているようにすれば、上層に金属配線層があるかないかにかかわらず、多結晶シリコンパターンの抵抗値を同じにすることができる。これにより、多結晶シリコンパターンの抵抗値を制御しつつ、多結晶シリコンパターンの上層に金属配線層を配置できる。

#### 【0050】

図4は、多結晶シリコンパターン上に金属配線層がある場合と無い場合において、第1窒化膜の膜厚を5nmとし、第2窒化膜厚を変化させたときの多結晶シリコンパターンの抵抗値の変化を表す図である。横軸は第2窒化膜厚(nm)を示し、縦軸は多結晶シリコンパターンの抵抗値( $\Omega/\square$ )を示す。

図4から、第二窒化膜層が60nm以上のときに、上部の金属配線層に影響されず抵抗値はほぼ同じ値となることがわかる。

#### 【0051】

図5は、図3と同じ条件で、図3に比べて多結晶シリコンパターンの抵抗値を小さくしたもののについて、第2窒化膜厚を変化させたときの多結晶シリコンパターンの抵抗値の変化を表す図である。横軸は第2窒化膜厚(nm)を示し、縦軸は多結晶シリコンパターンの抵抗値( $\Omega/\square$ )を示す。

図5から、第二窒化膜層が60nm以上のときに、上部の金属配線層に影響されず抵抗値はほぼ同じ値となることがわかる。

#### 【0052】

図6は、図4と同じ条件で、図4に比べて多結晶シリコンパターンの抵抗値を小さくしたもののについて、第2窒化膜厚を変化させたときの多結晶シリコンパターンの抵抗値の変化を表す図である。横軸は第2窒化膜厚(nm)を示し、縦軸は多結晶シリコンパターンの抵抗値( $\Omega/\square$ )を示す。

図6から、第二窒化膜層が80nm以上のときに、上部の金属配線層に影響されず抵抗値はほぼ同じ値となることがわかる。

#### 【0053】

このように、第1窒化膜厚と第2窒化膜厚を変化させることで、上層に金属配線層があるかないかにかかわらず、多結晶シリコンパターンの抵抗値を同じにすることができる。これにより、多結晶シリコンパターンの抵抗値を制御しつつ、多結晶シリコンパターンの上層に金属配線層を配置できる。

#### 【0054】

図7は半導体装置の他の実施例を示す断面図である。図1と同じ機能を果たす部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

この実施例では、素子分離酸化膜7上に図1の抵抗素子21と同じ構造をもつ3つの抵抗素子21a, 21b, 21cが形成されている。

抵抗素子21a上及び抵抗素子21c上に層間絶縁膜27及び第1窒化膜29を介して

第1金属配線層31が形成されている。

【0055】

第1金属配線層31の形成領域を含んで層間絶縁膜27上に形成された第1窒化膜29上に第2窒化膜33が形成されている。抵抗素子21c上の第1金属配線層31の近傍領域において、第1金属配線層31下の第1窒化膜29を除いて第1金属配線層31の周囲の第1窒化膜29及び第2窒化膜33が除去されている。さらに、PMOSトランジスタ上の領域において第1窒化膜29及び第2窒化膜33が除去されている。

【0056】

この実施例では、PMOSトランジスタ上の領域において第1窒化膜29及び第2窒化膜33が除去されているようにしたので、PMOSトランジスタのゲート酸化膜9界面に存在するトラップ準位を安定させることができ、PMOSトランジスタのしきい値電圧制御性を低下させることはない。

【0057】

図8は、図7の抵抗素子21a、21b、21cの抵抗体23の抵抗値を表す図である。横軸は抵抗素子21a、21b、21cを示し、縦軸は抵抗体23の抵抗値( $\Omega/\square$ )を示す。

抵抗素子21c上の第1金属配線層31の近傍領域において第1金属配線層31下の第1窒化膜29を除いて第1金属配線層31の周囲の第1窒化膜29及び第2窒化膜33が除去されているので、抵抗素子21cの抵抗体23について、不純物濃度が同じであっても抵抗素子21a及び21bとは不純物濃度が同じであっても抵抗値を異ならせることができる。

【0058】

図9は、図7の抵抗素子21a及び21bと抵抗素子21cについて、第1窒化膜29の膜厚を変化させたときの抵抗体23の抵抗値を表す図である。横軸は第1窒化膜厚(nm)を示し、縦軸は抵抗体23の抵抗値( $\Omega/\square$ )を示す。

第1窒化膜29の膜厚を変化させることにより、抵抗素子21a及び21bの抵抗値に変化を与えることなく抵抗素子21cの抵抗値を変化させることができる。

【0059】

図7に示した実施例は、図1及び図2を参照にして説明した製造方法の実施例において、上記工程(5)で第2窒化膜33を形成した後、上記工程(6)でメタルーメタル層間絶縁膜を形成する前に、写真製版技術及びエッチング技術により第2窒化膜33及び第1窒化膜29を選択的に除去することにより形成することができる。

【0060】

図10は半導体装置のさらに他の実施例を示す断面図である。図1と同じ機能を果たす部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

この実施例では、層間絶縁膜35が下層側から順にTEOS膜35a、SOG膜35b、TEOS膜35cからなる積層膜によって構成されている。さらに、第1金属配線層31の上面の第2窒化膜33が除去されている。第1金属配線層31の上面の第2窒化膜33はSOG膜35のエッチバック処理時に同時に除去することができる。

【0061】

この実施例では、第1金属配線層31上のSOG膜35bが除去されているので、層間絶縁膜35に第1金属配線層31と第2金属配線層37を電氣的に接続するためのスルーホールを確実に形成することができ、第1金属配線層31と第2金属配線層37の接触不良を防止することができる。さらに、層間絶縁膜35の平坦性を向上させることができる。

なお、第1金属配線層31下には第1窒化膜29が形成されているので、抵抗体23の安定化及びMOSトランジスタのしきい値変動を防止することができる。さらに、第1窒化膜29と第2窒化膜33の膜厚をそれぞれ制御することができるので、第1窒化膜29及び第2窒化膜33について多結晶シリコンパターンの抵抗値に合わせた最適な膜厚を得ることができる。

#### 【0062】

また、この実施例において、図7を参照して説明した実施例と同様に、所定の領域の第1窒化膜29及び第2窒化膜33が選択的に除去されているようにしてもよい。これにより、図7を参照して説明した実施例と同様の効果が得られる。

#### 【0063】

図11は半導体装置のさらに他の実施例を示す断面図である。図1と同じ機能を果たす部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

この実施例では、抵抗素子21上、PMOSトランジスタ上及びNMOSトランジスタ上に例えば膜厚が5～80nm程度の熱酸化膜41が形成されている。抵抗素子21上及びNMOSトランジスタ上の熱酸化膜41上に例えば膜厚が5～30nmの第3窒化膜43が形成されている。第3窒化膜43はPMOSトランジスタの形成領域には形成されていない。ただし、PMOSトランジスタ上にも第3窒化膜43が形成されていてもよい。

#### 【0064】

この実施例では、第3窒化膜43によりN+ゲート電極11、P+ゲート電極13及び抵抗体23への水素の拡散を防止することができ、多結晶シリコンパターンの抵抗値の安定性を向上させることができる。

さらに、PMOSトランジスタ上には第3窒化膜43が形成されていないので、PMOSトランジスタのトラップ準位を安定させることができ、PMOSトランジスタのしきい値電圧制御性を低下させることはない。

#### 【0065】

また、この実施例において、図7を参照して説明した実施例と同様に、所定の領域の第1窒化膜29及び第2窒化膜33が選択的に除去されているようにしてもよい。これにより、図7を参照して説明した実施例と同様の効果が得られる。

#### 【0066】

図12は半導体装置のさらに他の実施例を示す断面図である。図1と同じ機能を果たす部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

Pウエル領域3に4つのMOSトランジスタ領域が設けられており、各トランジスタ領域には、N型拡散層17の対がそれぞれ形成されており、ゲート酸化膜9を介して、リン拡散されたN-ゲート電極45、リン拡散されたN-ゲート電極47、リン拡散されたN+ゲート電極49、ボロン拡散されたP-ゲート電極51が形成されている。各ゲート電極の不純物濃度は、例えば、N-ゲート電極45が $7 \times 10^{18} / \text{cm}^3 \sim 5 \times 10^{19} / \text{cm}^3$ 、N-ゲート電極47が $7 \times 10^{18} / \text{cm}^3 \sim 5 \times 10^{19} / \text{cm}^3$ 、N+ゲート電極49が $2 \times 10^{19} / \text{cm}^3 \sim 1 \times 10^{20} / \text{cm}^3$ 、P-ゲート電極51が $1 \times 10^{18} / \text{cm}^3 \sim 2 \times 10^{19} / \text{cm}^3$ である。

Nウエル領域5に、P型拡散層19の対がそれぞれ形成されており、ゲート酸化膜9を介して、リン拡散されたN+ゲート電極53が形成されている。N+ゲート電極53の不純物濃度は、例えば $1 \times 10^{20} / \text{cm}^3$ 以上である。

#### 【0067】

これらのトランジスタのチャネル部分を同一濃度にするにより、ゲート電極の不純物濃度による仕事関数差を利用して温度特性としきい値電圧バラツキの少ない回路を形成することができる。

#### 【0068】

図13に、リンを拡散したゲート電極をもつNMOSトランジスタにおけるゲート電極の抵抗値としきい値電圧の関係を示す。横軸はゲート電極の抵抗値( $\text{K}\Omega/\square$ )、縦軸はしきい値電圧 $V_{th}$ (V)を示す。

図13から、NMOSトランジスタにおいてゲート電極の抵抗値の変化がしきい値電圧に大きな影響を与えることがわかる。

この実施例では、図1を参照して説明した実施例と同様に、第1窒化膜29及び第2窒化膜が形成されているので、多結晶シリコンパターンの抵抗値を同じにすることができ、多結晶シリコンパターンの抵抗値を制御しつつ、多結晶シリコンパターンの上層に第1金



属配線層を配置できる。

#### 【0069】

また、この実施例において、図7を参照して説明した実施例と同様に、所定の領域の第1窒化膜29及び第2窒化膜33が選択的に除去されているようにしてもよい。これにより、図7を参照して説明した実施例と同様の効果が得られる。

#### 【0070】

本発明の半導体装置を構成する抵抗素子は、例えばアナログ回路を備えた半導体装置に適用することができる。以下に、本発明にかかる金属薄膜抵抗体を備えたアナログ回路を備えた半導体装置の実施例について説明する。

#### 【0071】

図14はアナログ回路である定電圧発生回路を備えた半導体装置の一実施例を示す回路図である。

直流電源75からの電源を負荷77に安定して供給すべく、定電圧発生回路79が設けられている。定電圧発生回路79は、直流電源75が接続される入力端子(Vbat)81、基準電圧発生回路(Vref)83、演算増幅器(比較回路)85、出力ドライバを構成するPチャネルMOSトランジスタ(以下、PMOSトランジスタと略記する)87、分割抵抗素子R1、R2及び出力端子(Vout)89を備えている。

#### 【0072】

定電圧発生回路79の演算増幅器85では、出力端子がPMOSトランジスタ87のゲート電極に接続され、反転入力端子(−)に基準電圧発生回路83から基準電圧Vrefが印加され、非反転入力端子(+)に出力電圧Voutを抵抗素子R1とR2で分割した電圧が印加され、抵抗素子R1、R2の分割電圧が基準電圧Vrefに等しくなるように制御される。

#### 【0073】

図15は、アナログ回路である電圧検出回路を備えた半導体装置の一実施例を示す回路図である。

電圧検出回路91において、符号85は演算増幅器で、その反転入力端子(−)に基準電圧発生回路83が接続され、基準電圧Vrefが印加される。入力端子(Vsens)93から入力される測定すべき端子の電圧が分割抵抗素子R1とR2によって分割されて演算増幅器85の非反転入力端子(+)に入力される。演算増幅器85の出力は出力端子(Vout)95を介して外部に出力される。

#### 【0074】

電圧検出回路91では、測定すべき端子の電圧が高く、分割抵抗素子R1とR2により分割された電圧が基準電圧Vrefよりも高いときは演算増幅器85の出力がHレベルを維持し、測定すべき端子の電圧が降下してきて分割抵抗素子R1とR2により分割された電圧が基準電圧Vref以下になると演算増幅器85の出力がLレベルになる。

#### 【0075】

一般に、図14に示した定電圧発生回路や図15に示した電圧検出回路では、製造プロセスのバラツキに起因して基準電圧発生回路からの基準電圧Vrefが変動するので、その変動に対応すべく、分割抵抗素子としてヒューズ素子の切断により抵抗値を調整可能な抵抗素子回路(分割抵抗回路と称す)を用いて分割抵抗素子の抵抗値を調整している。

#### 【0076】

図16は、本発明の金属薄膜抵抗体が適用される分割抵抗回路の一例を示す回路図である。

図17及び図18は、その分割抵抗回路のレイアウト例を示すレイアウト図であり、図17はヒューズ素子部分のレイアウト例を示し、図18は抵抗素子部分のレイアウト例を示す。

#### 【0077】

図16に示すように、抵抗素子Rbottom、m+1個(mは正の整数)の抵抗素子RT0、RT1、…、RTm、抵抗素子Rtopが直列に接続されている。抵抗素子RT0、RT



1, ..., R T mには、各抵抗素子に対応してヒューズ素子R L 0, R L 1, ..., R L mが並列に接続されている。

#### 【0078】

図17に示すように、ヒューズ素子R L 0, R L 1, ..., R L mは、例えば抵抗値が20Ω〜40Ωの多結晶シリコンパターンにより形成されている。

抵抗素子R T 0, R T 1, ..., R T mの値は抵抗素子R bottom側から順に二進数的に増加するように設定されている。すなわち、抵抗素子R T nの抵抗値は、抵抗素子R T 0の抵抗値を単位値とし、その単位値の2<sup>n</sup>倍である。

#### 【0079】

例えば、図18に示すように、抵抗素子21を用い、抵抗素子R T 0を1本の抵抗素子21を単位抵抗とし、抵抗素子R T nを2<sup>n</sup>本の抵抗素子21により構成する。抵抗素子21は、例えば上記実施例で説明したものが用いられる。

図17及び図18において、符号A-A間、符号B-B間、符号C-C間、符号D-D、符号E-E、符号F-F及び符号G-G間はそれぞれ金属配線パターン96により電氣的に接続されている。

#### 【0080】

このように、抵抗素子の比の精度が重視される分割抵抗回路では、製造工程での作り込み精度を上げるために、一対の抵抗素子及びヒューズ素子からなる単位抵抗素子が直列に接続されて梯子状に配置されている。

このような分割抵抗回路では、任意のヒューズ素子R L 0, R L 1, ..., R L mをレーザービームで切断することにより、所望の直列抵抗値を得ることができる。

#### 【0081】

本発明の半導体装置では、本発明の半導体装置では多結晶シリコンパターンの抵抗値を制御しつつ、多結晶シリコンパターンの上層に金属配線層を配置できるので、設計の自由度が向上する。

#### 【0082】

図16に示した分割抵抗回路を図14に示した定電圧発生回路79の分割抵抗素子R 1, R 2に適用する場合、例えば抵抗素子R bottom端を接地し、抵抗素子R top端をP M O Sトランジスタ87のドレインに接続する。さらに、抵抗素子R bottom、R T 0間の端子N o d e L、又は抵抗素子R top、R T m間の端子N o d e Mを演算増幅器85の非反転入力端子に接続する。

本発明を適用した分割抵抗回路によれば分割抵抗回路の設計の自由度を向上させることができるので、定電圧発生回路79の設計の自由度を向上させることができる。

#### 【0083】

また、図16に示した分割抵抗回路を図15に示した電圧検出回路91の分割抵抗素子R 1, R 2に適用する場合、例えば抵抗素子R bottom端を接地し、抵抗素子R top端を入力端子77に接続する。さらに、抵抗素子R bottom、R T 0間の端子N o d e L、又は抵抗素子R top、R T m間の端子N o d e Mを演算増幅器85の非反転入力端子に接続する。

本発明を適用した分割抵抗回路によれば分割抵抗回路の設計の自由度を向上させることができるので、電圧検出回路91の設計の自由度を向上させることができる。

#### 【0084】

図14から図17を参照して、半導体装置を構成する多結晶シリコンパターンを適用した分割抵抗回路が適用される半導体装置の例を説明したが、このような分割抵抗回路が適用される半導体装置は定電圧発生回路を備えた半導体装置及び電圧検出回路を備えた半導体装置に限定されるものではなく、分割抵抗回路を備えた半導体装置であれば適用することができる。

また、本発明の半導体装置を構成する多結晶シリコンパターンが適用される半導体装置は分割抵抗回路を備えた半導体装置に限定されるものではなく、金属薄膜抵抗体を備えた半導体装置であれば、本発明を適用することができる。

## 【0085】

以上、本発明の実施例を説明したが、本発明はこれらに限定されるものではなく、寸法、形状、材料、配置などは一例であり、特許請求の範囲に記載された本発明の範囲内で種々の変更が可能である。

## 【図面の簡単な説明】

### 【0086】

【図1】半導体装置の一実施例を示す断面図である。

【図2】製造方法の一実施例を説明するための工程断面図である。

【図3】多結晶シリコンパターン上に金属配線層がある場合と無い場合において、第1窒化膜の膜厚を20nmとし、第2窒化膜厚を変化させたときの多結晶シリコンパターンの抵抗値の変化を表す図である。

【図4】多結晶シリコンパターン上に金属配線層がある場合と無い場合において、第1窒化膜の膜厚を5nmとし、第2窒化膜厚を変化させたときの多結晶シリコンパターンの抵抗値の変化を表す図である。

【図5】図3と同じ条件で、図3に比べて多結晶シリコンパターンの抵抗値を小さくしたものについて、第2窒化膜厚を変化させたときの多結晶シリコンパターンの抵抗値の変化を表す図である。

【図6】図4と同じ条件で、図4に比べて多結晶シリコンパターンの抵抗値を小さくしたものについて、第2窒化膜厚を変化させたときの多結晶シリコンパターンの抵抗値の変化を表す図である。

【図7】半導体装置の他の実施例を示す断面図である。

【図8】図7の抵抗素子21a、21b、21cの抵抗体23の抵抗値を表す図である。

【図9】図7の抵抗素子21a及び21bと抵抗素子21cについて、第1窒化膜29の膜厚を変化させたときの抵抗体23の抵抗値を表す図である。

【図10】半導体装置のさらに他の実施例を示す断面図である。

【図11】半導体装置のさらに他の実施例を示す断面図である。

【図12】半導体装置のさらに他の実施例を示す断面図である。

【図13】リンを拡散したゲート電極をもつNMOSトランジスタにおけるゲート電極の抵抗値としきい値電圧の関係を示す図である。

【図14】アナログ回路である定電圧発生回路を備えた半導体装置の一実施例を示す回路図である。

【図15】アナログ回路である電圧検出回路を備えた半導体装置の一実施例を示す回路図である。

【図16】アナログ回路である分割抵抗回路を備えた半導体装置の一実施例を示す回路図である。

【図17】同分割抵抗回路のヒューズ素子部分のレイアウト例を示すレイアウト図である。

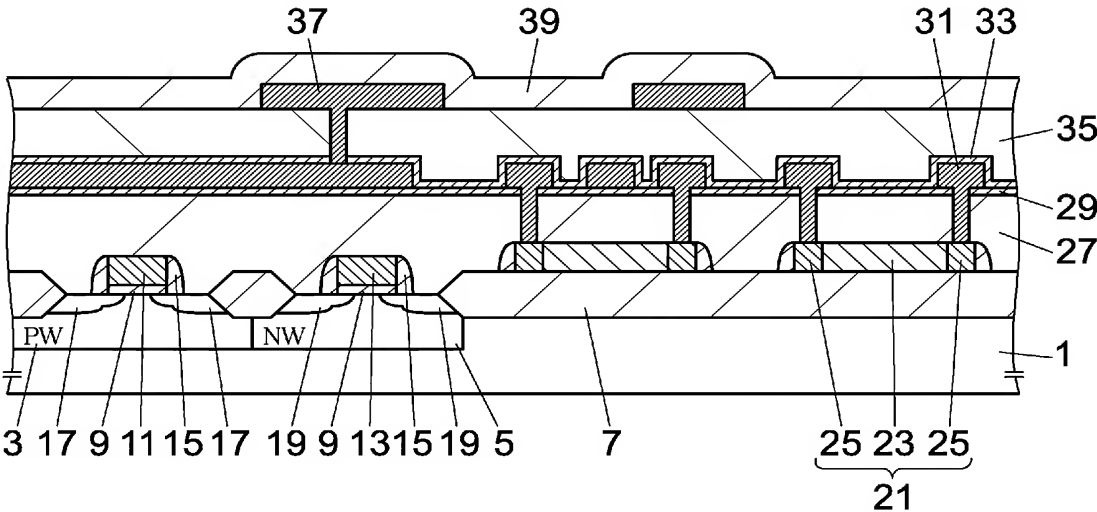
【図18】同分割抵抗回路の金属薄膜抵抗体部分のレイアウト例を示すレイアウト図である。

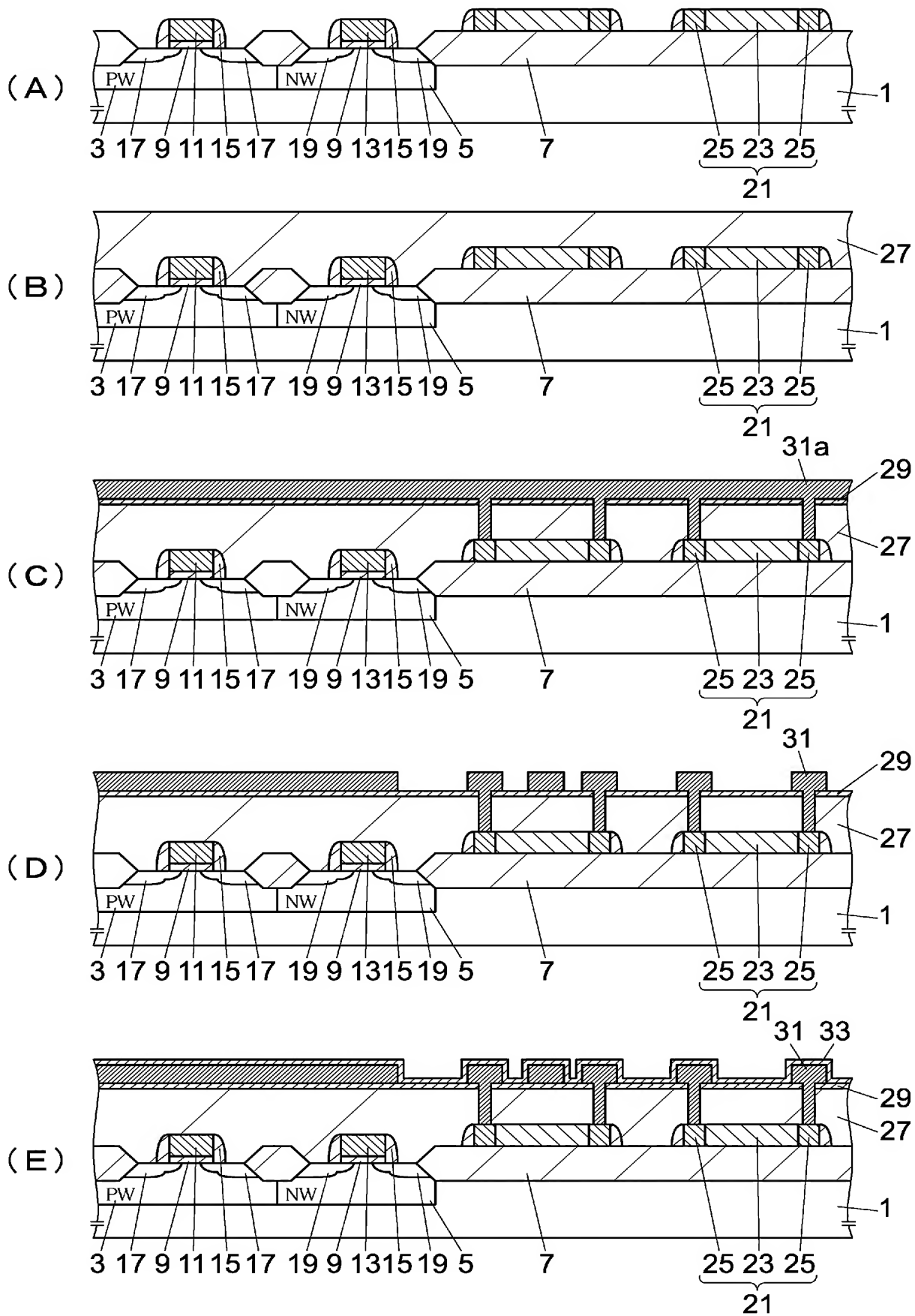
## 【符号の説明】

### 【0087】

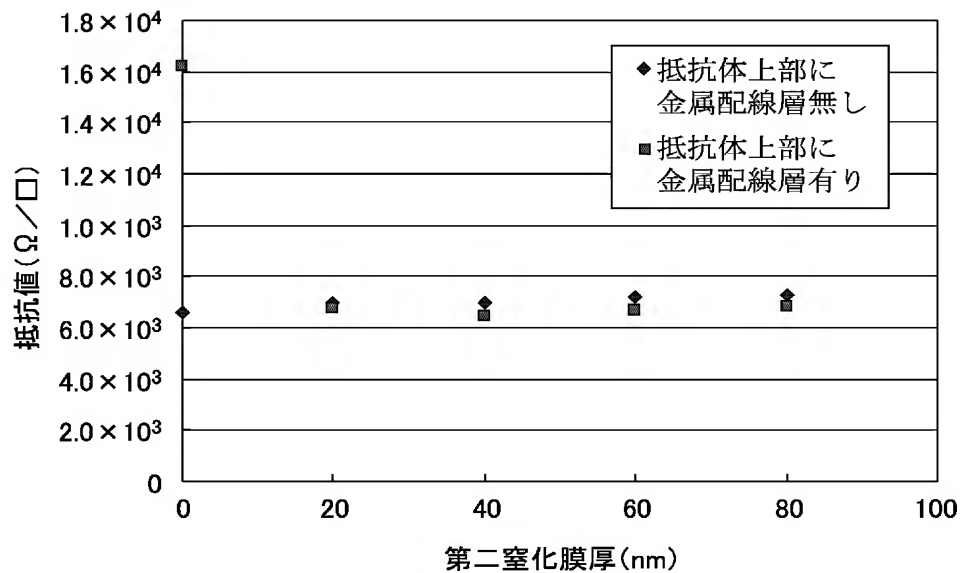
- 1 シリコン基板
- 3 Pウェル領域(PW)
- 5 Nウェル領域(NW)
- 7 素子分離酸化膜
- 9 ゲート酸化膜
- 11 N+ゲート電極
- 13 P+ゲート電極
- 15 サイドウォール

1 7      N 型拡散層  
1 9      P 型拡散層  
2 1 , 2 1 a , 2 1 b , 2 1 c      抵抗素子  
2 3      抵抗体  
2 5      低抵抗多結晶シリコン膜  
2 7      層間絶縁膜  
2 9      第 1 窒化膜  
3 1      第 1 金属配線層  
3 3      第 2 窒化膜  
3 5      メタルーメタル間層間絶縁膜  
3 5 a    T E O S 膜  
3 5 b    S O G 膜  
3 5 c    T E O S 膜  
3 7      第 2 金属配線層  
3 9      プラズマ窒化膜  
4 1      熱酸化膜  
4 3      第 3 窒化膜  
7 5      直流電源  
7 7      負荷  
7 9      定電圧発生回路  
8 1      入力端子  
8 3      基準電圧発生回路  
8 5      演算増幅器  
8 7      P チャネル M O S トランジスタ  
8 9      出力端子  
9 1      電圧検出回路  
9 3      入力端子  
9 5      出力端子  
9 6      金属配線パターン  
R 1 , R 2    分割抵抗素子  
R<sub>bottom</sub>, R<sub>T 0</sub>, R<sub>T 1</sub>, ..., R<sub>T m</sub>, R<sub>top</sub>    抵抗素子  
R<sub>L 0</sub>, R<sub>L 1</sub>, ..., R<sub>L m</sub>    ヒューズ素子  
N o d e L , N o d e M    端子

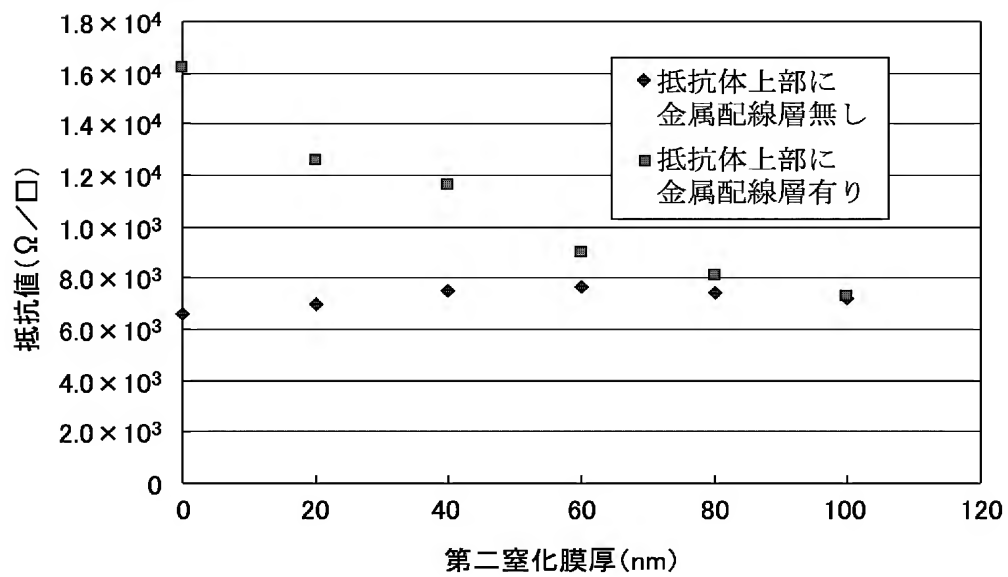




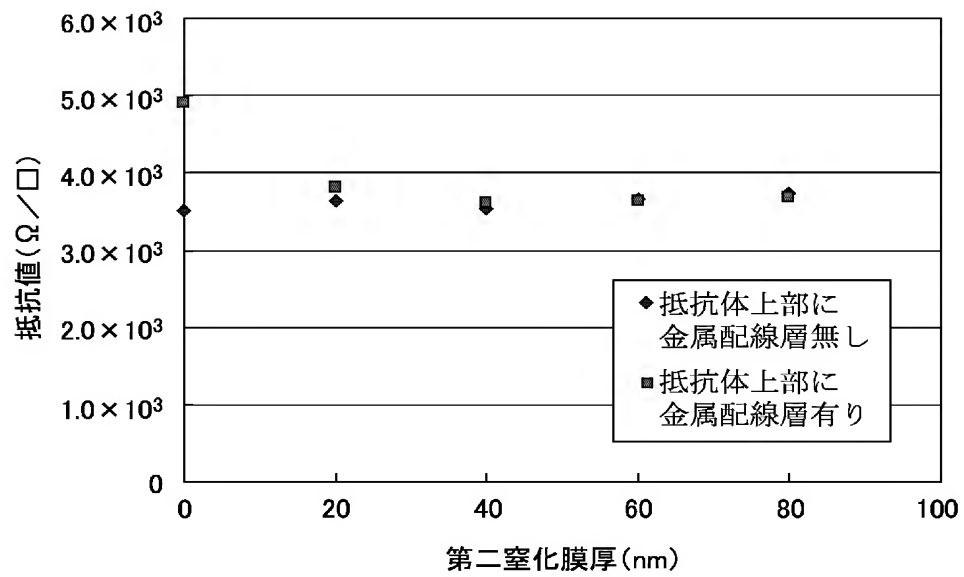
【図 3】



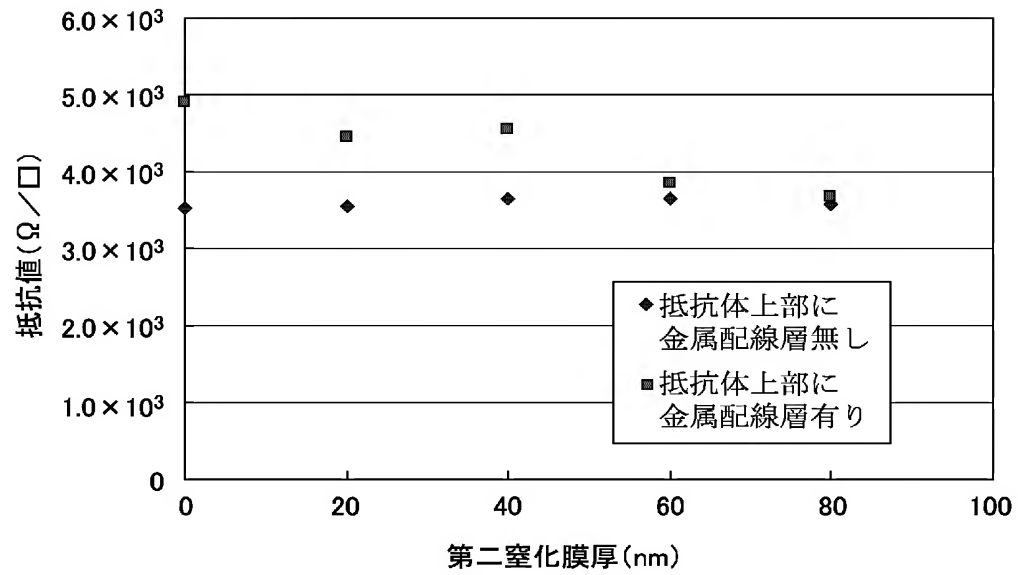
【図 4】



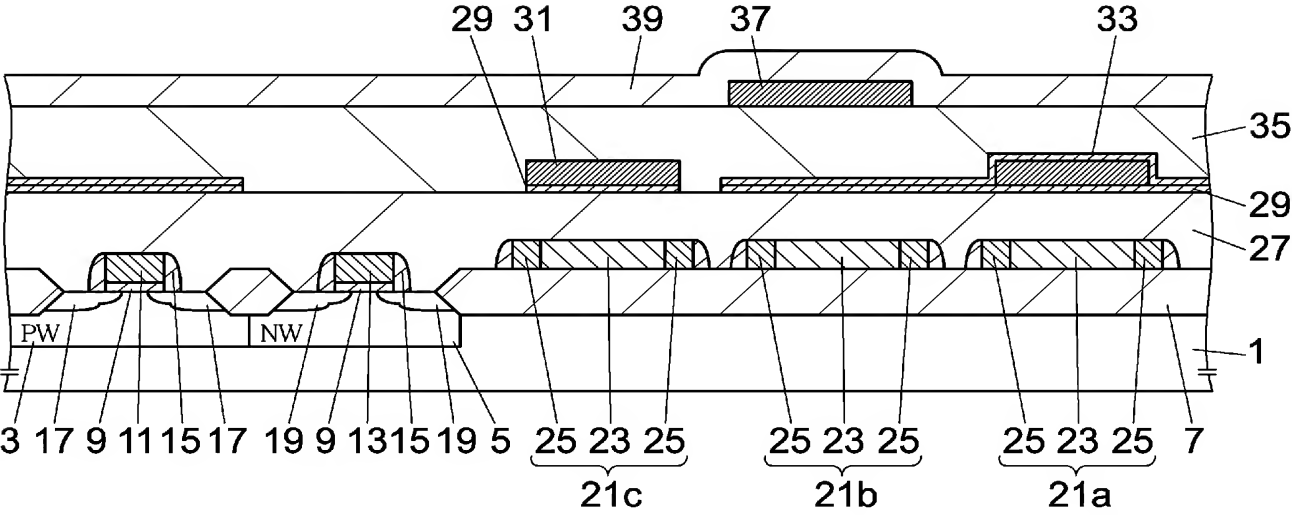
【図 5】



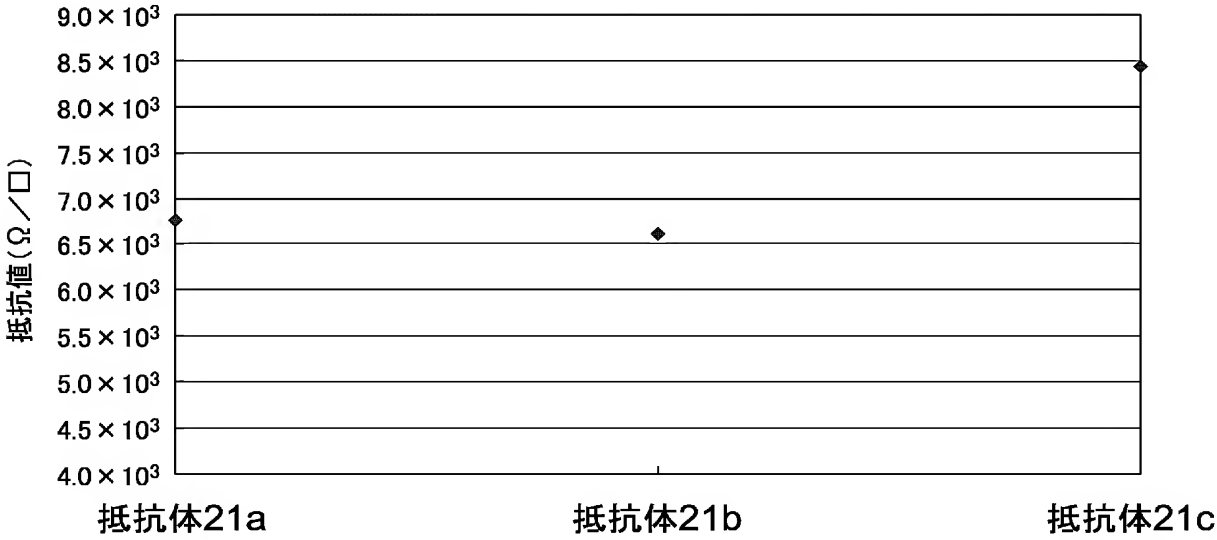
【図 6】



【图 7】

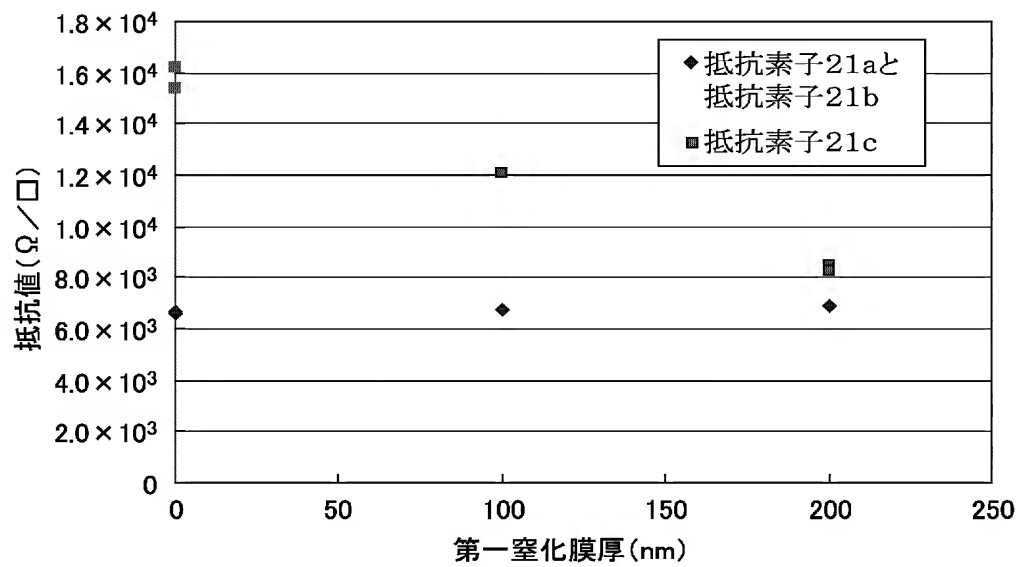


【图 8】

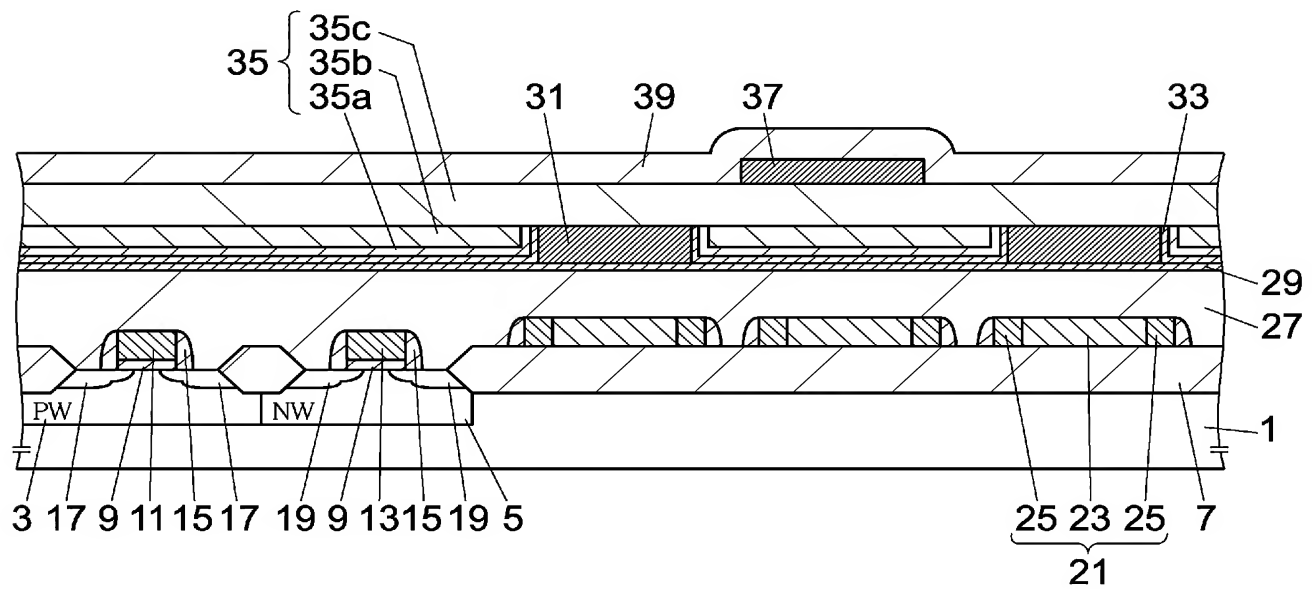




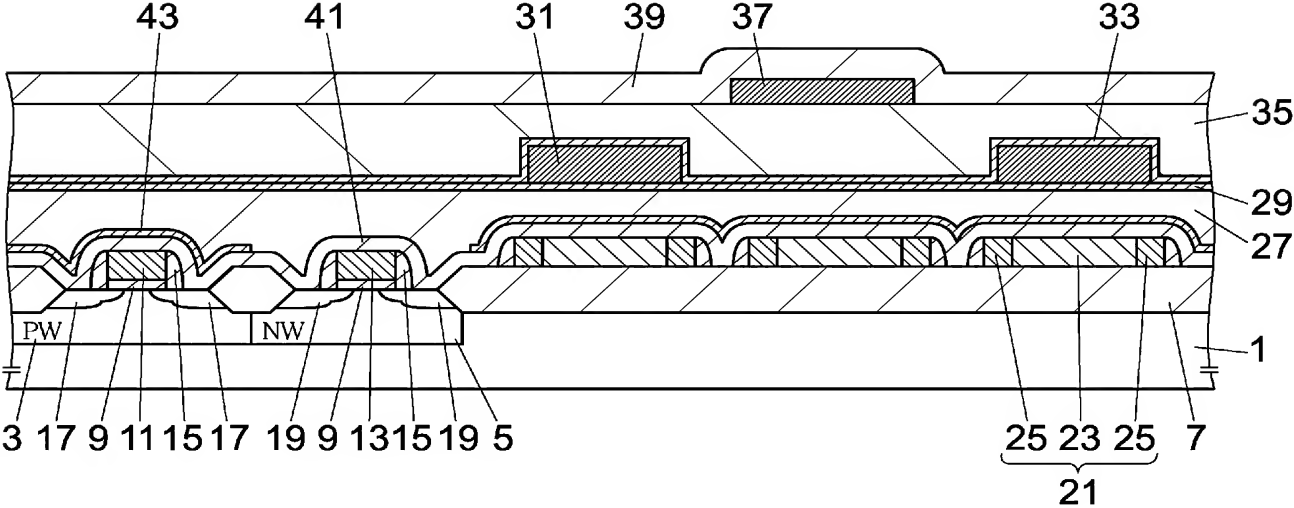
【图 9】

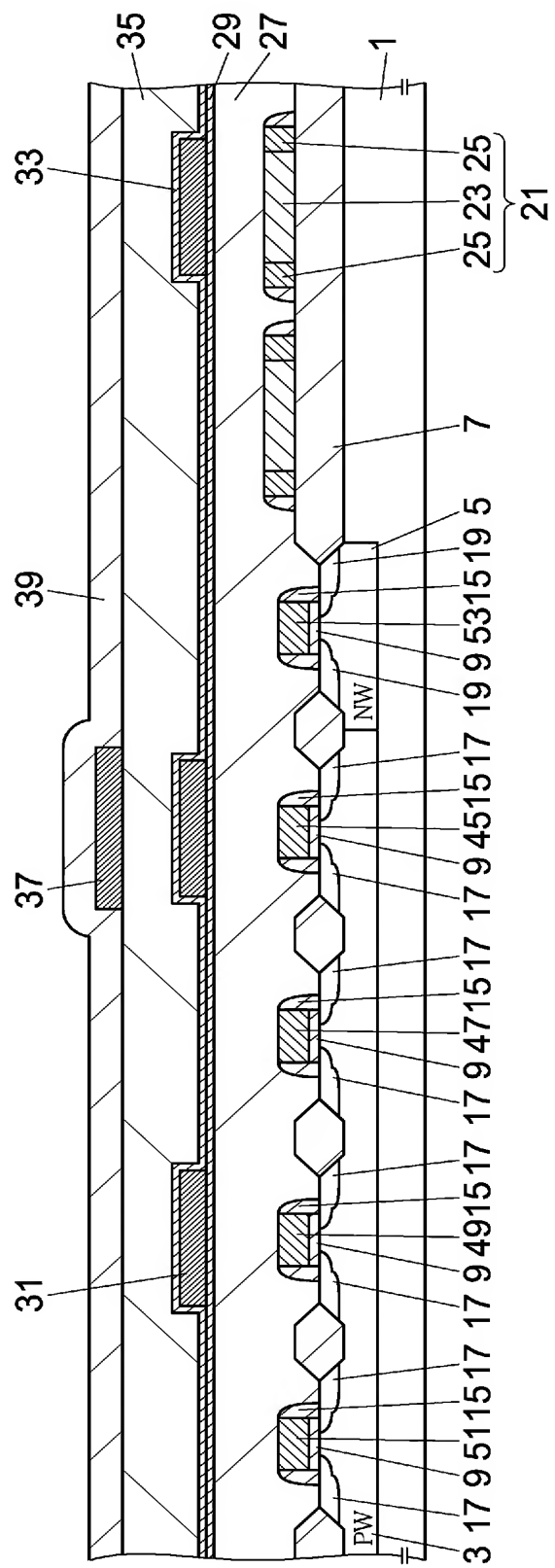


【圖 10】

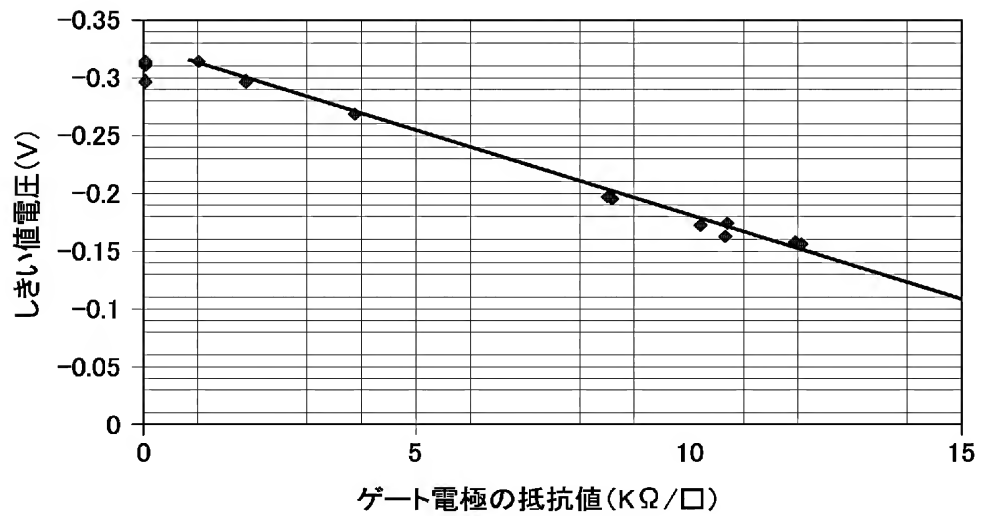


【図 1 1】

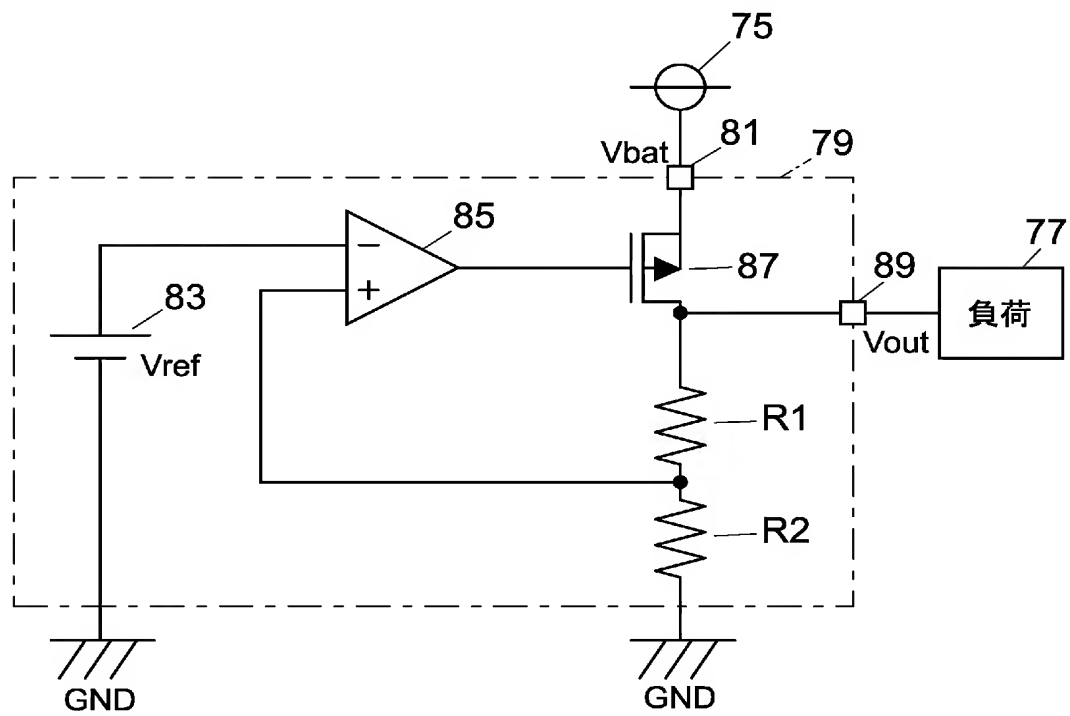




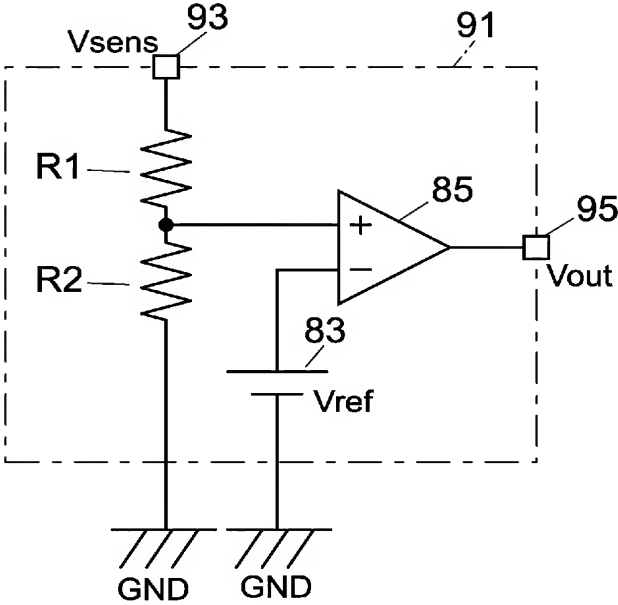
【図 1 3】



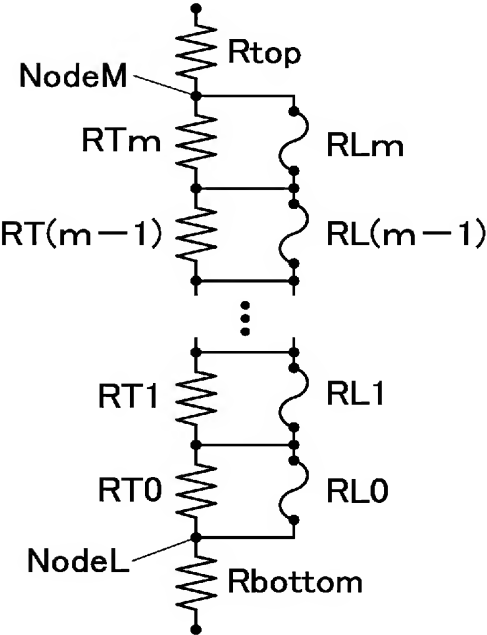
【図 1 4】



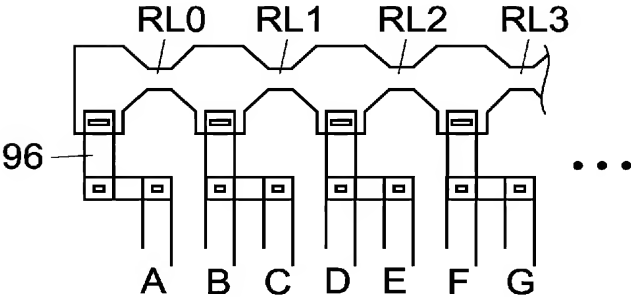
【图 1 5】

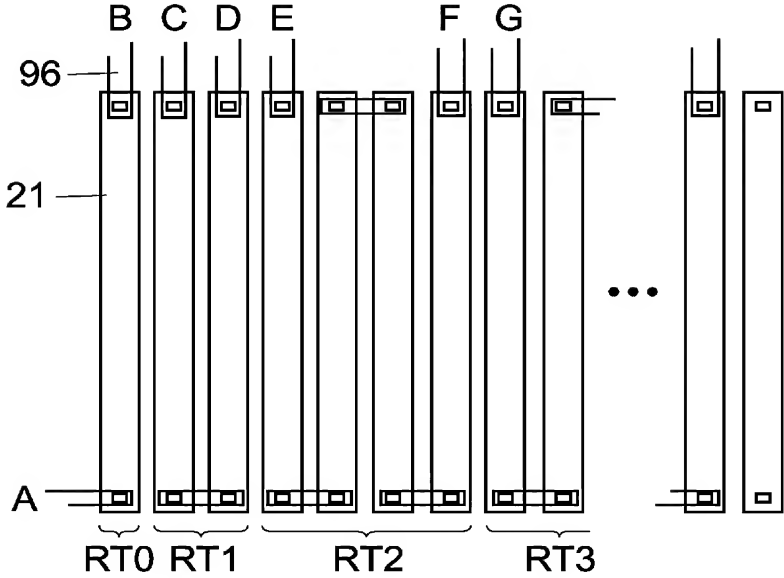


【图 1 6】



【图 1 7】





【書類名】要約書

【要約】

【課題】多結晶シリコンパターンの抵抗値を制御しつつ、多結晶シリコンパターンの上層に金属配線層を配置する。

【解決手段】半導体基板 1 上に絶縁膜 7，9 を介して形成された多結晶シリコンパターンからなるゲート電極 11，13 及び抵抗体 23 と、ゲート電極 11，13 上及び抵抗体 23 上を含んで半導体基板 1 上に形成された層間絶縁膜 27 と、層間絶縁膜 27 上に形成された金属配線層 31 を備えた半導体装置において、金属配線層 31 はシリコン窒化膜 29，33 により覆われている。

【選択図】図 1

## 出願人履歴

0 0 0 0 0 6 7 4 7

20020517

住所変更

東京都大田区中馬込1丁目3番6号

株式会社リコー